Міністерство освіти і науки України

Львівський національний університет ім. Івана Франка

Факультет прикладної математики

та інформатики

**АРХІТЕКТУРА ОС ТА СХЕМОТЕХНІКА**

**Звіт**

до лабораторної роботи №4 на тему:

**ПОБУДОВА І ДОСЛІДЖЕННЯ ЕЛЕМЕНТІВ ПАМ’ЯТІ НА БАЗІ ТРИГЕРНИХ СХЕМ**

Виконав:

студент гр. ПМО-11

Барський А.В.

Прийняв:

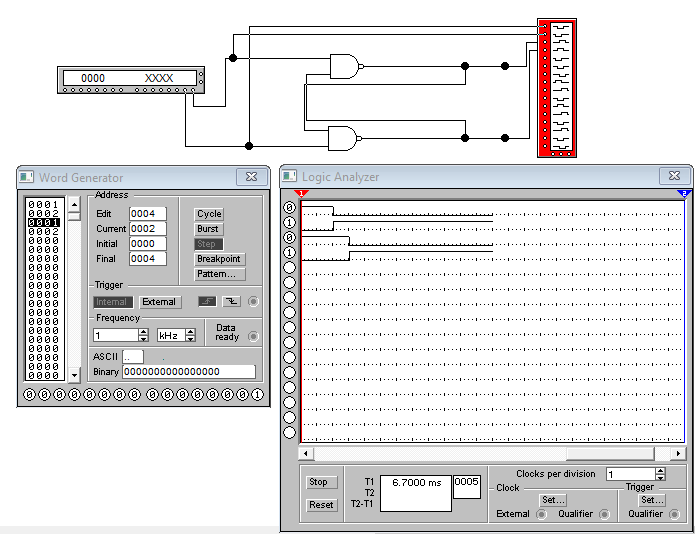
Рикалюк Р.Є.

Львів – 2021

**Звіт по роботі**

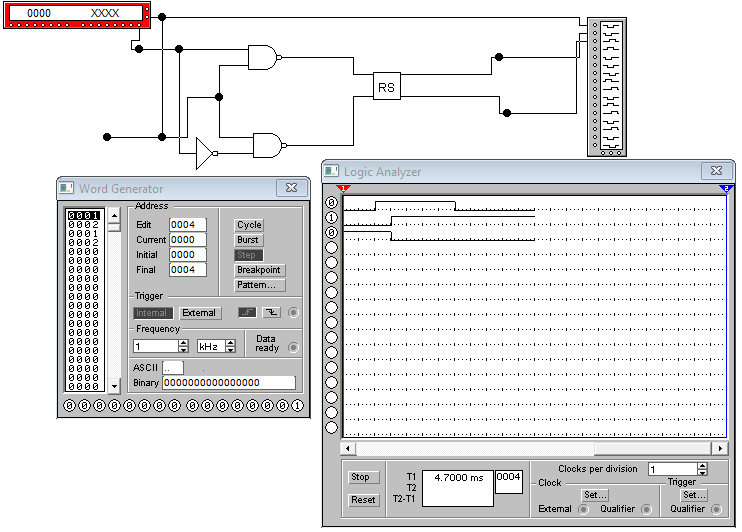
**Мета:** з використанням можливостей пакета EWB побудувати логічні схеми елементів пам’яті (RS-тригер, D-тригер, JK-тригер, Т-тригер). Перевірити роботу схем, скласти таблиці істинності та створити макроелементи кожної схеми.

**Хід роботи:** за допомогою логічних елементів І, НЕ, АБО синтезували у робочому полі комбінаційні схеми тригерів: з роздільним встановленням(RS), із затримкою(D), універсальний(JK) та лічильний(T).

**RS-тригер:** приєднання до вихідних клем молодших розрядів RS-тригера генератора слів, а виходи – до аналізатора логічних рівнів:

**Таблиця істинності:**

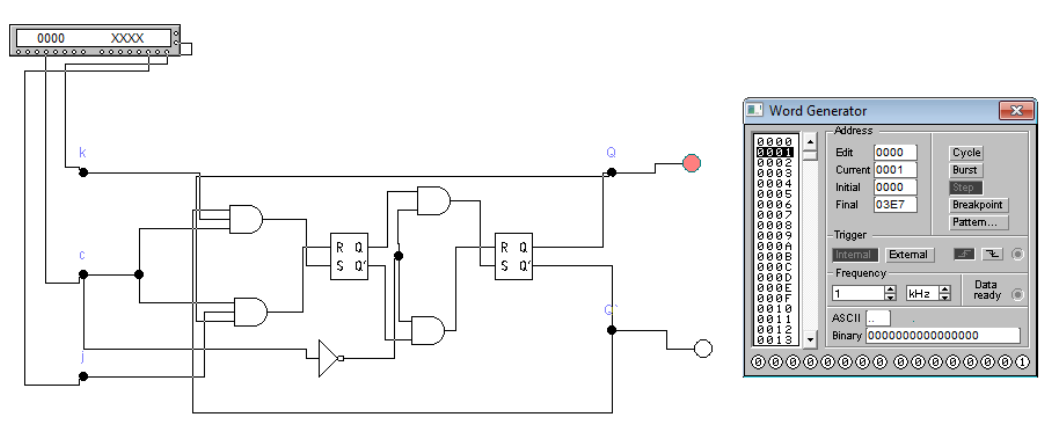
|  |  |  |  |
| --- | --- | --- | --- |
| R | S | Q | Q` |
| 0 | 0 | Не змінює стан | |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | Заборонений стан | |

**D-тригер:** приєднання до вихідних клем молодших розрядів D-тригера генератора слів, а виходи – до аналізатора логічних рівнів.

Для побудови D-тригера був використаний макроелемент RS-тригер.

**Таблиця** **істинності:**

|  |  |  |
| --- | --- | --- |
| D | Q | Q` |
| 1 | 1 | 0 |
| 0 | 0 | 1 |

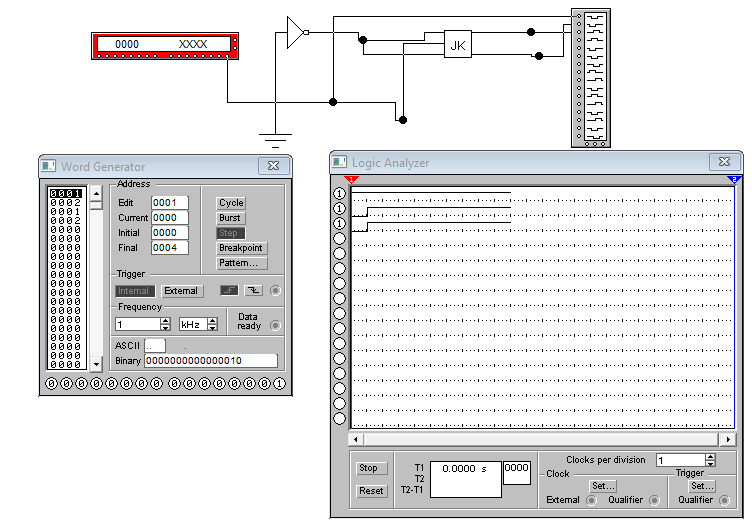
**JK-тригер:**

**Таблиця істинності:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| J | C | K | Q | Q` |
| 0 | 0 | 0 | Без змін | Без змін |
| 0 | 0 | 1 | Без змін | Без змін |
| 0 | 1 | 0 | Без змін | Без змін |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | Без змін | Без змін |
| 1 | 0 | 1 | Без змін | Без змін |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | Зміна станів на протилежні | |

Для побудови JK-тригера був використаний макроелементи RS-тригер.

**T-тригер:** приєднання до вихідних клем молодших розрядів тригера генератора слів, а виходи – до аналізатора логічних рівнів:



Для побудови T-тригера був використаний макроелемент JK-тригер.

**Таблиця істинності:**

|  |  |  |
| --- | --- | --- |
| T | Q(t) | Q` |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

**Висновок:** під час виконання даної лабораторної роботи, з використанням можливостей EWB, були побудовані схеми елементів пам’яті (RS-тригер, D-тригер, JK-тригер, Т-тригер) і створені їхні макроелементи. Також було складено таблиці істинності для кожного тригера для перевірки правильності схем.